

Design analoger Schaltkreise

Übung zu Vorlesungen 6/7

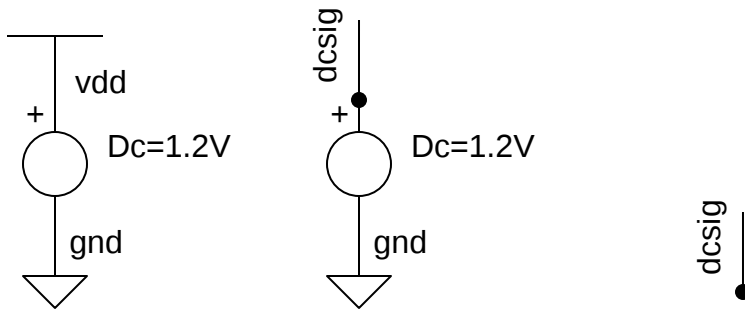
10. Januar

Aufgaben (Teil 1)

- Teil 1 sind Einführungsaufgaben
- Teil 2 sind praktische Aufgaben mit komplexeren Schaltungen

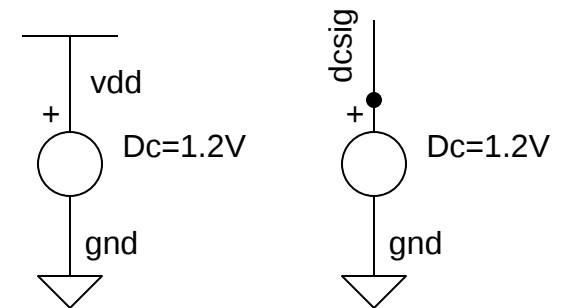
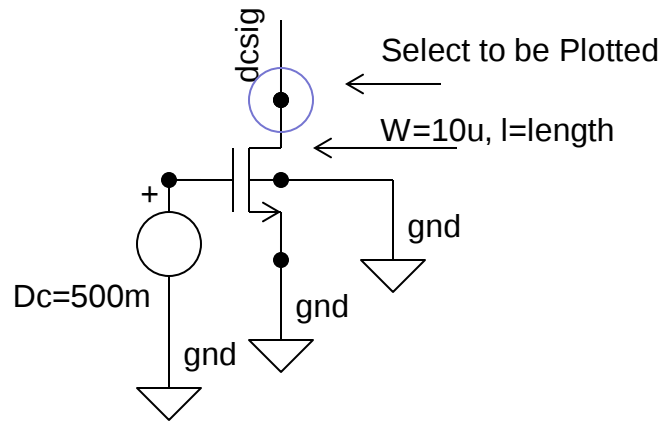
- Vorbereitung
- Erzeugen wir einen leeren Schaltplan (File, New Cellview, Schematic)
- Diesen Schaltplan können wir für alle Aufgaben verwenden
- Fügen wir folgende Objekte (Instanzen) ein: globale Spannungsquellen gnd, vdd, zwei dc Spannungsquelle vdc (Library analogLib).
- Schließen wir eine dc Quelle zwischen den gnd und vdd Objekten, so dass $v_{dd} = 1.2V$ (s. Abbildung nächste Folie)
- Kommentar 1: Wir schreiben nie Einheiten im Cadence – so schreiben wir 100m und nicht 100mV
- Kommentar 2: Wir verwenden UMC 65nm Technologie, die 1.2V Versorgungsspannung hat.
- Schließen wir minus Pol der zweiten Quelle an gnd und puls Pol an einen Draht (wire) an.
- Benennen wir den Draht „dcsig“. Setzen wir den „DC Voltage“ Wert dieser Quelle auch 1.2
- Wir verwenden die Kopien vom „dcsig“ Wire überall wo wir ein „dc Signal“ brauchen, z.B. für die Simulationen von DC-Kennlinien

- ...



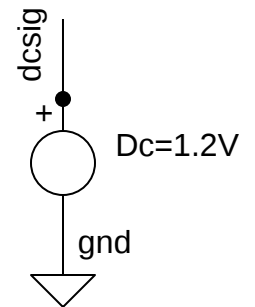
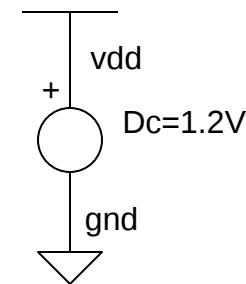
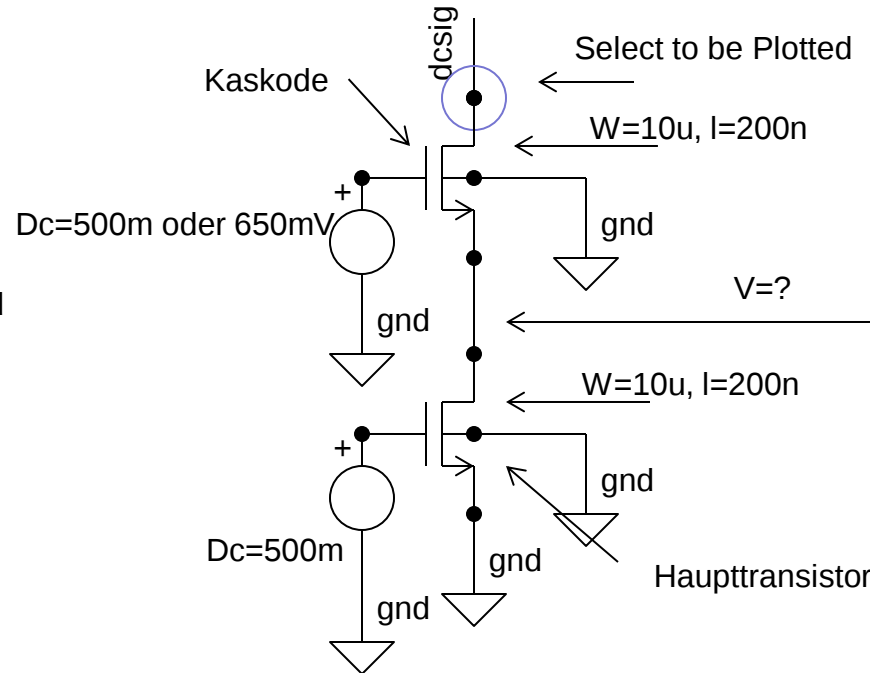
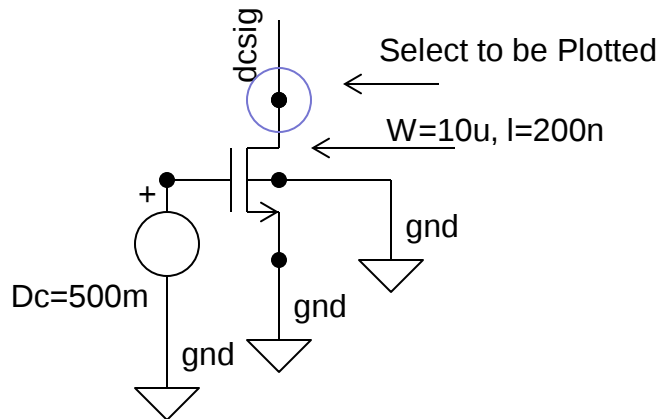
- Aufgabe1: Transistor-Kennlinie
- Machen wir eine Instanz vom Transistor N_12_LLRT (Library: umc65ll)
- Das ist der Standardtransistor in UMC 65 Technologie
- Schließen wir eine DC-Spannungsquelle von 500mV an Gate und eine Kopie vom Draht „dcsig“ an Drain an (s. Abbildung nächste Folie)
- Wählen wir für den Transistor $W=10\mu\text{m}$ und $L = \text{length}$ (Parameter)
- Simulieren wir die Ausgangskennlinie ($I_{ds} = f(V_{ds})$) auf die folgende Weise:
- Öffnen wir den Analogsimulator ADEL
- Wählen wir die Analyse dc
- Selektieren wir die DC Quelle mit „dcsig“. Variieren wir (sweep variable) das Component Parameter „dc“ im Bereich 0 bis 1.2(V). Wählen wir Sweep Type Linear mit dem Schritt 1m um die Genauigkeit zu erhöhen.
- Klicken wir zusätzlich „Save DC Operating Point“
- Selektieren wir unter „Outputs“ -> „To be Plotted“ -> „Select on Design“, den Transistor-Drainstrom.
- (Wir klicken auf den Rechteckigen Drain-Kontakt – siehe nächste Folie)
- (Alternativ kann man „Results->Direct Plot“ benutzen)
- Setzen wir unter Design Variables *length* auf 200n
- Simulieren wir den Drain-Strom
- Machen wir eine Parametrische Analyse „Tools“ „Parametric Analysis“ für Parameter *length* im Bereich 60n bis 510n in etwa 5 Schritten.
- **Aufgabe:** Machen wir ein Screenshot vom Ergebnis

• ...



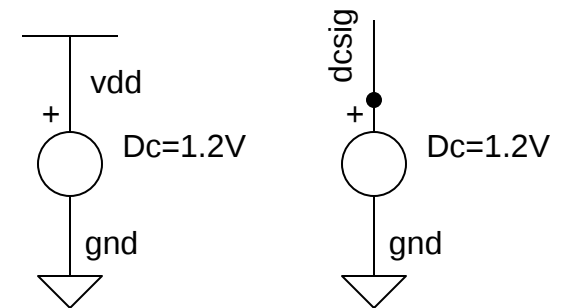
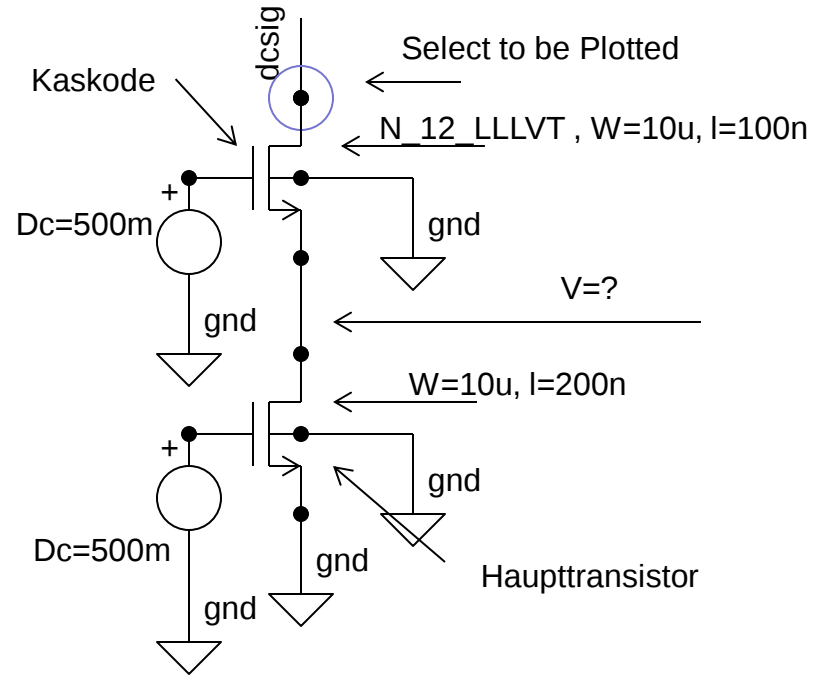
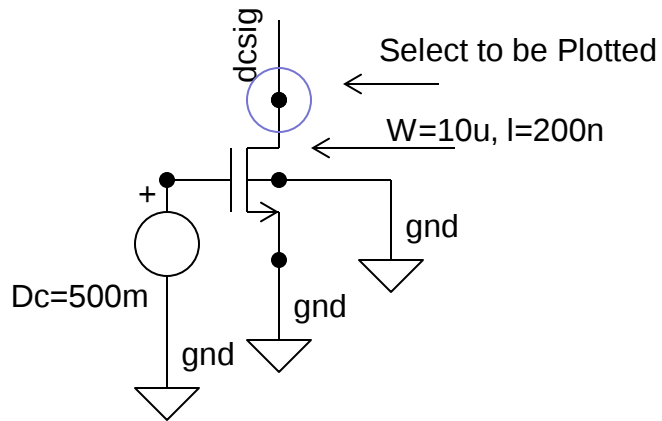
- Aufgabe 2: Transistor mit Kaskode
- Legen wir eine sinnvolle Länge $L = 200\text{nm}$ fest
- Kopieren wir den Transistor mit der Spannungsquelle am Gate und erweitern wir die Schaltung durch eine Kaskode (s. Abbildung auf der nächsten Seite)
- (Beachten wir beim Kopieren dass wir keine identische Wire-Labels in Original und der Kopie aus Versehen haben, sonst wären die Leitungen verbunden.)
- Wählen wir für die Kaskoden-Gatespannung zuerst 500mV (Gleich wie die Gate-Spannung des Haupttransistors)
- Simulieren wir den Drain-Strom von Kaskode als Funktion von Drain-Spannung, zusammen mit dem Drain-Strom des Einzeltransistors
- Plotten wir als Vergleich den Drain-Strom der Kaskode und des Einzeltransistors und speichern ein Screenshot. Sind die Ströme in Sättigung ähnlich?
- Wir können auf dem Schaltplan die DC Spannungen anzeigen lassen
- Für alle Spannungsquellen nimmt der Simulator die „DC-Voltage“ Werte (Für „dcsig“ Quelle ist es 1.2V)
- Schauen wir uns die Gate und Drain-Spannung des Haupttransistors an.
- Wir können für N/P_12_LL RVT Transistoren eine Schwelle-Spannung von 400mV annehmen
- Erinnern wir uns: $V_{dssat} = V_{gs} - V_{th}$
- **Frage:** Ist der Haupttransistor in Sättigung?
- Erhöhen wir das Gate-Potential der Kaskode um 150mV , und simulieren wir den Drain-Strom.
- Ist der Haupttransistor in Sättigung für „dcsig“ = 1.2 ?
- **Aufgabe:** Plotten wir als Vergleich den Drain-Strom der Kaskode und des Einzeltransistors und speichern ein Screenshot. (Vergleichen wir r_{ds})

• ...



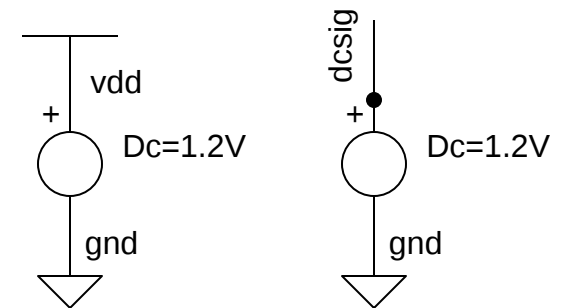
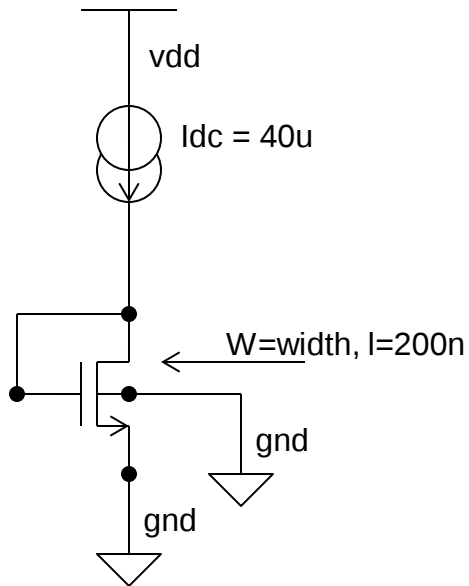
- Aufgabe 3: Transistor mit einfacher Kaskode
- Ein Nachteil der Kaskode ist es, dass wir zwei verschiedene Spannungen für die Gates brauchen.
- Nehmen wir für die Kaskode den Transistor mit niedrigerer Schwelle N_12_LLLVT ($V_{th} \sim 300\text{mV}$) und ändern wir die Länge von 200n auf 100n. Verwenden wir die gleiche Gate-Spannung von 500mV für die Kaskode und den Haupttransistor.
- Vergleichen wir die Kennlinien des Einzeltransistors und der Kaskode.
- **Frage:** Welche Kennlinie steigt weniger in Sättigung?

• ...



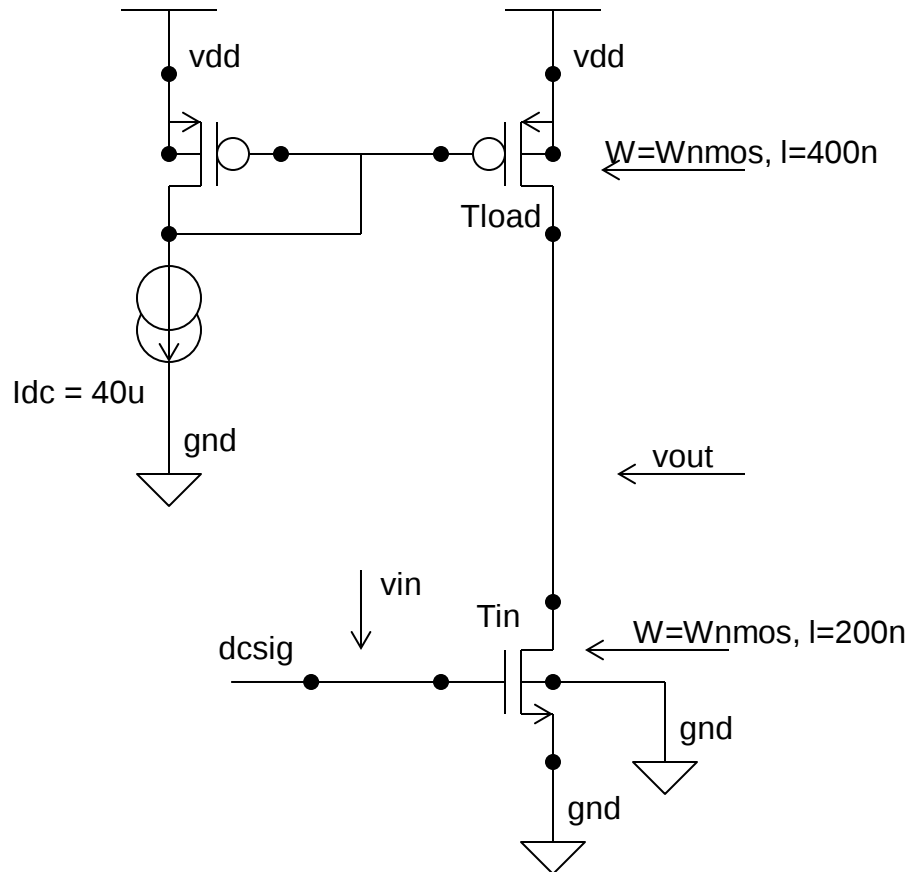
- Aufgabe 4: Dimensionierung des Eingangstransistors
- Aufgabe: Finden wir W des NMOS Transistors so, dass V_{dssat} des Transistor für einen Bias-Strom von $40\mu A$ etwa $100mV$ beträgt
- Zeichnen wir die Schaltung wie in der nächsten Abbildung im gleichen Schaltplan
- Die Technologie UMC 65nm erlaubt eine maximale Breite des Transistors von nur $10\mu m$. Wenn wir stärkere Transistoren brauchen, müssen wir die Transistoren mit mehreren Gates benutzen. Setzen wir deshalb die Zahl von „Fingern“ auf 2
- Definieren wir W als Parameter *width*, setzen wir $L=200n$
- Machen wir die parametrische Analyse für $width = 1\mu - 20\mu$, zahl der Schritten etwa 20.
- Plotten wir die Gate/Drain Spannung als Funktion von *width* auf die folgende Weise:
- Verwenden wir dafür Analog Simulator -> „Tools“ „Calculator“
- Mit diesem Tool kann man die Simulationsergebnisse auf verschiedenste Weise bearbeiten
- Klicken wir im Tool den Menu-Punkt vdc und selektieren Gate/Drain Draht auf dem Schaltplan
- Klicken wir Evaluate the Buffer
- **Aufgabe:** für welche Breite W haben wir V_{dssat} von etwa $100mV$? ($V_{th} = 400mV$)
- Kommentar: Plotten wir V_{gs} - es gilt $V_{dssat} = V_{gs} - V_{th}$
- Man kann im Calculator auch die Transistorparameter wie g_m oder r_{ds} berechnen
- Dafür muss man den Menu-Punkt „op“ klicken, den Transistor selektieren und „ g_m “ im Dropdown Menu finden
- **Aufgabe:** Plotten wir g_m als Funktion von *width*
- **Frage:** Wie groß ist g_m für $width = 10\mu$?

• ...



- Aufgabe 5: Verstärker mit PMOS Stromquelle - Kennlinie
- Entwerfen wir den Verstärker mit einer PMOS Stromquelle wie in Abbildung
- Für NMOS nehmen wir $L=200\text{nm}$ und W aus der vorherigen Aufgabe (Es soll gelten: $V_{dssat} \sim 100\text{mV}$ für $I_{bias} = 40\mu\text{A}$)
- Dimensionieren wir den PMOS Stromspiegel
- Fangen wir mit V_{dssat} an. Wir „erlauben“ dem PMOS etwa 2x mehr V_{dssat} als dem NMOS – $v_{dssat_pmos} = 200\text{mV}$
- Laut Theorie gilt folgendes:
 - Beim PMOS ist die Mobilität μ ist etwa 2x niedriger als beim NMOS, C_{ox} ist gleich
 - $V_{dssat} = \sqrt{I_{bias} * L/W / \mu C_{ox}}$
 - Wenn wir $L_{pmos} = 2 \times L_{nmos}$ und $W_{pmos} = W_{nmos}$ wählen bekommen wir gewünschte $V_{dssat_pmos} = 2 * V_{dssat_nmos}$
- Setzen wir also: $W_{pmos} = W_{nmos}$ und $L_{pmos} = 400\text{nm}$
- **Aufgabe:** Simulieren wir die DC-Kennlinie und machen ein Screenshot („dcsig“ schließen wir an Gate vom T_{in} und plotten den Verstärker-Ausgang V_{out})
- **Frage:** In welchem Ausgangs-Spannungsbereich erwarten wir eine hohe Verstärkung (Im welchen Spannungsbereich am Ausgang sind I_{load} und T_{in} in Sättigung)
- **Frage:** Wie groß ist die maximale Spannungsverstärkung ungefähr. Bestimmen wir es graphisch aus dem Plot um den Punkt $v_{out} \sim v_{in} \sim 500\text{mV}$.

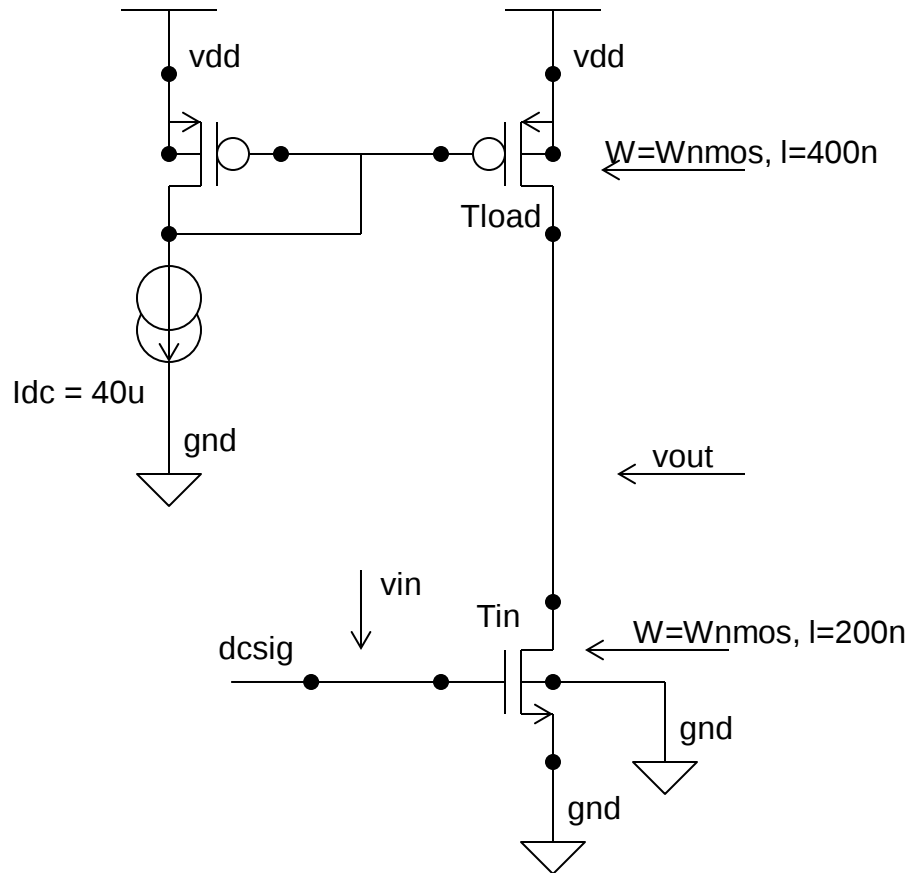
• ...



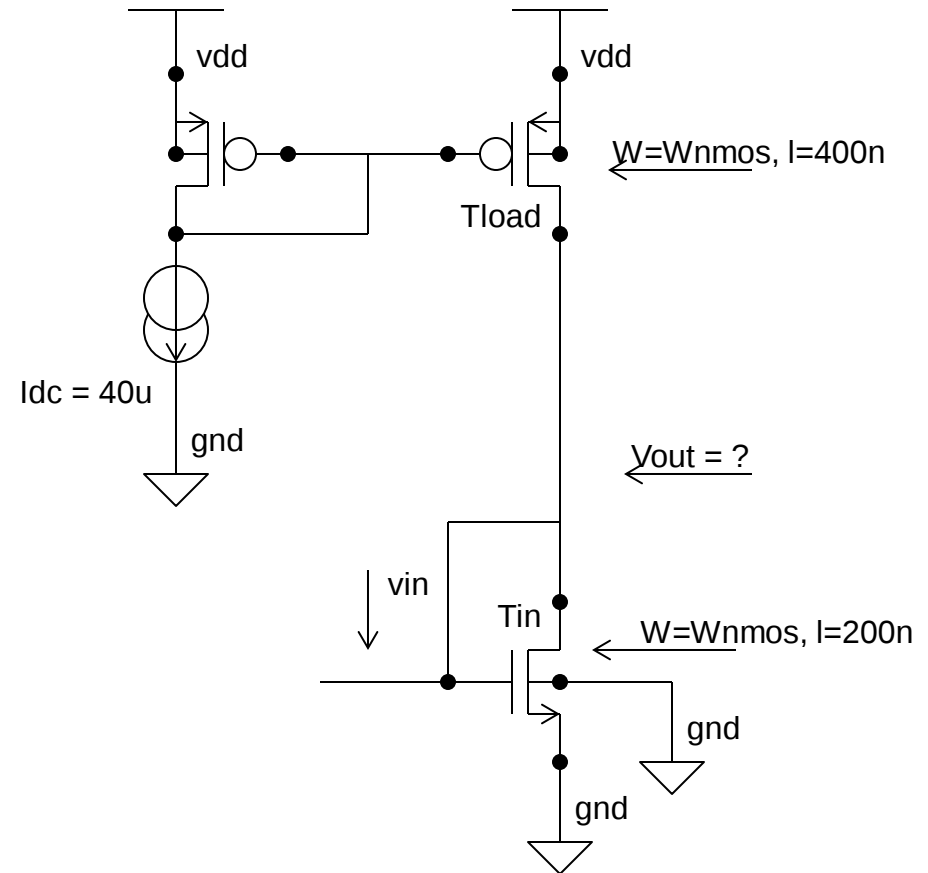
Schaltung für die Simulation von DC Kennlinie

- Aufgabe 6: Verstärker mit PMOS Stromquelle - Arbeitspunkt
- Wie in Vorlesungen erwähnt wurde, werden solche Verstärker nur mit Gegenkopplung verwendet.
- Normalerweise sorgt die Gegenkopplung, dass im Arbeitspunkt $V_{in} = V_{out}$ ohne Signal gilt
- Machen wir eine Kopie des Verstärkers, entfernen wir Draht „dcsig“ vom Eingang und schließen wir V_{out} und V_{in} kurz (s. Bild)
- Diese Hilfsschaltung hat den gleichen Arbeitspunkt wie wir später im Betrieb haben werden
- Wir werden solche Hilfsschaltungen benutzen um den Arbeitspunkt von Verstärkern zu untersuchen. (z.B. den Arbeitspunkt am Ausgang)
- Machen wir eine Simulation (Wir brauchen nur eine einzelne „Save DC Operating Point“ Analyse, wir können aber Sweep „dcsig“ aktiv lassen, da es nicht zu viel Zeit nimmt)
- Verwenden wir das Tool: Results: -> Anotate -> DC Node Voltages
- **Frage:** Wie groß ist DC Potential am Ausgang (V_{out})?
- **Frage:** Um wie viel darf die Spannung am Ausgang steigen, bzw sinken, so dass die Transistoren in Sättigung bleiben?
- Verwenden wir Tool „Calculator“ um g_m und $g_{ds} = 1/r_{ds}$ zu bestimmen
- Wir klicken „op“, selektieren den Transistor und wählen „ g_m “ oder „ g_{ds} “ im Dropdown Menu
- **Frage:** Wie groß sind die g_m , g_{ds} vom Eingangstransistor T_{in} ? Wie groß ist g_{ds} von Stromquelle T_{load} ?
- **Frage:** Wie groß sollte die Verstärkung laut Theorie sein? ($A = -g_{m_in} (r_{ds_in} || r_{ds_load})$)
- Stimmt es mit der Steigung der Kennlinie um den Punkt ($V_{out} = 500mV$) etwa überein?

• ...



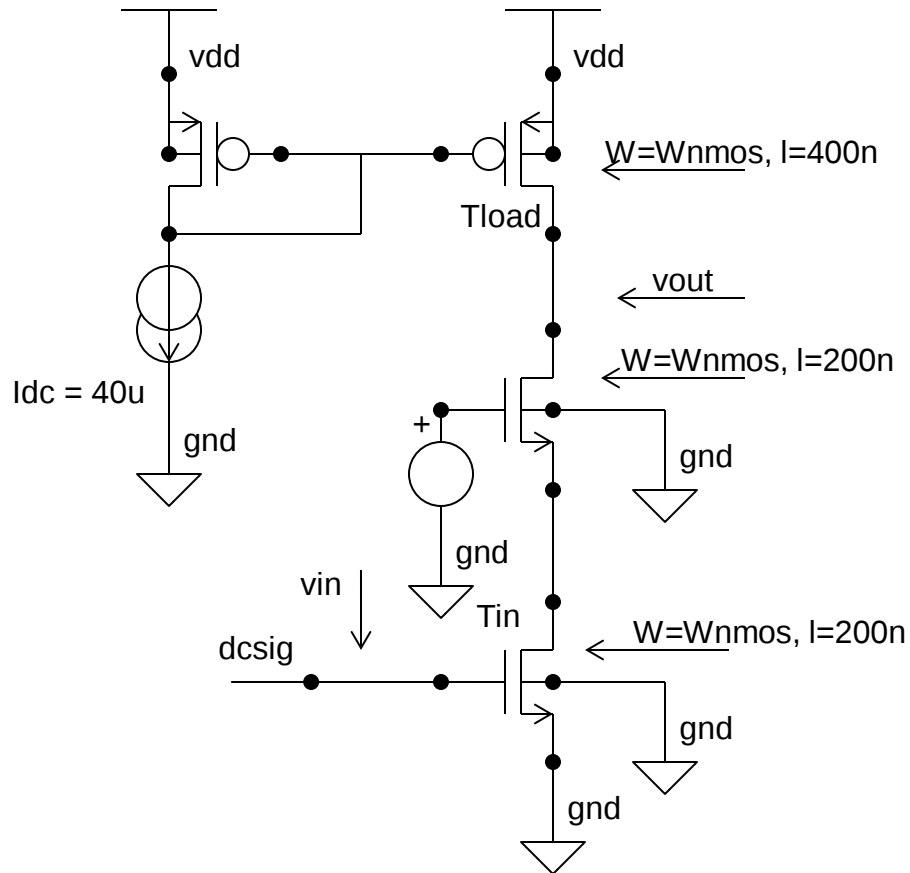
Schaltung für die Simulation von DC Kennlinie



Hilfsschaltung für die Bestimmung des Arbeitspunktes

- Aufgabe 7: Kopieren wir den Verstärker aus der Aufgabe 5 und erweitern wir ihn durch eine NMOS Kaskode (s. Abbildung)
- Die Kaskode soll möglichst große g_m haben, damit die sich ihre Gate-Source Spannung so wenig wie möglich ändert.
- Wählen wir die gleiche Dimensionen für die Kaskode wie für den Eingangstransistor
- Wählen wir die Gate-Spannung der Kaskode so, dass die Drain-Spannung des Eingangstransistors im Arbeitspunkt etwa 125mV ist. Benutzen wir für die Dimensionierung die Hilfsschaltung mit kurzgeschlossenem Eingang aus der Aufgabe 6.
- Für die optimale Kaskoden-Gatespannung gilt: $V_{gate} = V_{dssat_in} + V_{dssat_casc} + V_{th_casc}$
- Beachten wir, dass das Substrateffekt die Schwelle-Spannung der Kaskode um etwa 25mV vergrößert
- **Aufgabe:** Simulieren wir die DC-Kennlinien des Verstärkers aus Aufgabe 5 und des Verstärkers mit Kaskode und machen ein Screenshot („dcsig“ schließen wir an Gate vom T_{in} und plotten den Verstärker-Ausgang V_{out})

• ...



Aufgaben (Teil 2)

- Aufgabe 8: Entwerfen wir den Verstärker mit gefalteter Kaskode (s. Abbildung)
- Wählen wir den Biasstrom I_{bias} etwa 45uA und den Biasstrom I_{load} 5uA
- I_{ds} Strom des NMOS Transistors T_{load} (Last-Element) ist dadurch etwa 10x kleiner als I_{ds} des Eingangstransistors T_{in} .
- Wählen wir W/L vom T_{load} etwa 20 mal kleiner als W/L vom T_{in} . ($W/L_{load} = 1\mu / 500n$) In dem Fall ist V_{dssat} des Last-Transistors T_{load} etwa 150mV.
- Die Kaskode T_{casc} soll möglichst große g_m haben, damit die sich ihre Gate-Source Spannung so wenig wie möglich ändert -> $W/L = 10\mu/100n$.
- Setzen wir das Gate-Potential von T_{casc} (V_{gate}) auf:
- $V_{DD} - V_{dssat_T_{bias}} - V_{dssat_T_{casc}} - V_{th_casc} = 1.2V - 200mV - 50mV - 0.45V = 500mV$.
- Machen wir die Hilfsschaltung mit der Gegenkopplung zwischen v_{in} und v_{out} und prüfen wir ob alle Transistoren in Sättigung sind
- **Aufgabe:** Simulieren wir die DC-Kennlinie vom Verstärker mit gefalteter Kaskode und machen ein Screenshot
- **Frage:** Wie groß ist ungefähr die DC Verstärkung im Arbeitspunkt $v_{out} = v_{in} \sim 500mV$
- **Frage:** In welchem Ausgangs-Spannungsreich sind alle Transistoren in Sättigung



- Aufgabe 9: Erzeugen wir einen neuen, leeren, Schaltplan für den Verstärker mit gefalteter Kaskode und kopieren wir die Schaltung aus der vorherigen Aufgabe
- Machen wir den Input Pin „vin“ und den Output Pin „vout“ (Create Pin Befehl)
- Erzeugen wir ein Symbol aus dem Schaltplan (Create Cellview -> From Cellview)
- Der Verstärker hat eine hohe Spannungsverstärkung – sie ist, jedoch, von den Prozessparameter wie gm und rds anhängig
- Wir werden in dieser Aufgabe eine kapazitive Gegenkopplung verwenden um die Verstärkung von Transistorparameter unabhängig zu machen - unser ziel ist die Verstärkung mit Gegenkopplung von 100
- Erzeugen nur noch einen Schaltplan für die Simulation des Verstärkers mit Gegenkopplung (s. Abbildung)
- Dieser Schaltplan enthält den Verstärker mit gefalteter Kaskode als Symbol (Create Instance), die Rückkopplung, eine Last-Kapazität und eine Impuls-Spannungsquelle
- Beachten wir: für sehr hohe Leerlaufverstärkung erwarten wir $A_{fb} = -C_{in}/C_{fb} = -100$. Rfb soll hoch genug sein um die AC-Antwort nicht zu beeinflussen, und niedrig genug sein um $V_{out} = V_{in}$ im Arbeitspunkt zu gewährleisten.
- **Aufgabe:** Simulieren wir die Sprungantwort (0, 2us) zuerst ohne Lastkapazität am Ausgang. Machen wir ein Screenshot. Wie groß ist die Verstärkung v_{out}/v_{sig} ?, wie groß ist die Anstiegszeit 5%-95% ungefähr?
- **Frage:** Wie groß ist die Leerlaufverstärkung $A_{ol} = v_{out}/v_{in}$? Wie groß Beta A_{ol} ?
- **Frage:** Um wie viel % ist die Verstärkung niedriger als die gewünschte Verstärkung $C_{in}/C_{fb} = 100$.
- Nach dem Sprungantwort entlädt sich der Kondensator Cfb durch Rfb langsam, das kann zu Fehlern führen, z.B. wenn die Ausgangsspannung in einem digitalen System zu spät abgetastet wird

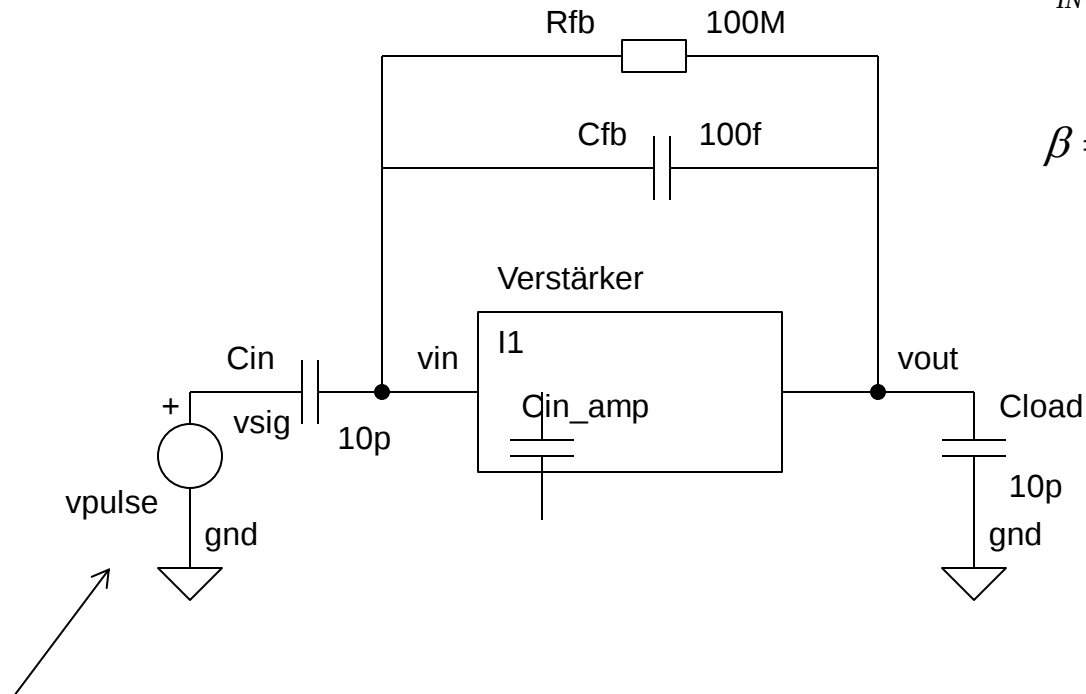
• ...

$$A_{FB} = \frac{A_{IN} A_{OL}}{1 + \beta A_{OL}}$$

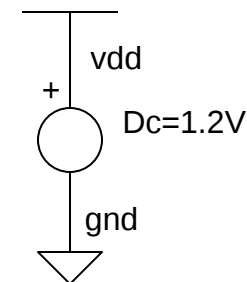
$$A_{IN} = \frac{C_{IN}}{C_{IN} + C_{FB} + C_{IN_AMP}}$$

$$\beta = \frac{C_{FB}}{C_{IN} + C_{FB} + C_{IN_AMP}}$$

$$A_{FB} \sim -\frac{C_{IN}}{C_{FB}}$$



Periode 1us, Impulslänge 500ns, Amplitude 1mV



- Aufgabe10
- Erweitern wir die Schaltung des Verstärkers durch eine aktive Regelung der Kaskodenspannung (geregelter Kaskode) und kaskodieren wir den NMOS Stromspiegel (s. Abbildung)
- Für die Kaskoden im NMOS Spiegel verwenden wir die Transistoren mit niedriger Schwelle wie in Aufgabe 3. Dadurch sparen wir uns eine getrennte Gate Spannung
- Der Eingangstransistor des Regelverstärkers (T_{in_r}) ist ein PMOS mit niedriger Schwelle – dadurch erreichen wir ein passendes v_{casc} Potential von etwa $V_{DD} - 300\text{mV}$.
- Für die Gate-Spannung der Stromquelle im Regelverstärker (T_{load_r}) nehmen wir die Spannung von I_{load} „Diode“ T_{load_dio} – dadurch sparen wir uns einen getrennten Referenzstrom
- **Aufgabe:** Simulieren wir die Sprungantwort ohne Lastkapazität am Ausgang und bestimmen wir die Verstärkung $A_{fb} = v_{out}/v_{sig}$ und die Leerlaufverstärkung $A_{ol} = v_{out}/v_{in}$
- Wir erwarten etwa um Faktor $g_m R_{ds} \sim 10$ höhere Verstärkung als ohne Kaskoden-Regelung und mit dem einfachen Stromspiegel



- Aufgabe11
- Simulieren wir das Rauschen am Ausgang des Verstärkers
- Aktivieren wir AC Noise Analyse, der Ausgangsspannung ist vout, der Referenzknoten gnd.
- Eine Eingangsquelle muss für die Berechnung vom Eingangsrauschen (Input-Referred Noise) gewählt werden – das kann die Eingangs- Impulsquelle sein
- Es wird zuerst die Rauschleistung im Frequenzdomain simuliert. Uns interessiert hauptsächlich das Quadratwurzel vom Integral der Rauschleistung für alle Frequenzen. Dieser Wert ist equivalent zur Standardabweichung (RMS-Wert) der Rausch-Spannung am Ausgang. Um das Integral zu berechnen verwenden wir Print -> Noise Summary. Das Tool zeigt eine Liste von Bauteilen sortiert nach ihrem Rauschbeitrag. Mithilfe dieser Liste können wir die größten Rauschquellen identifizieren und die Schaltung optimieren
- **Frage:** Wie groß ist das Rauschen (RMS) am Ausgang
- **Frage:** Wie groß ist Input Referred Noise, definiert als das Rauschen vom vout dividiert durch die DC-Verstärkung

- Aufgabe12
- Simulieren wir den Verstärker mit $C_{load} = 10\text{pF}$
- Für die Schaltung mit einem einstufigen Verstärker (wie unserem) ist die Zeitkonstante mit Gegenkopplung etwa $C_{load}/(\beta * g_{m_in})$. g_{m_in} ist ungefähr $600\mu\text{Si}$ (Überprüfen Sie g_m -Wert mit dem „Calculator“)
- β ist ungefähr $C_{fb}/(C_{fb}+C_{in}) \sim 0.01$.
- Wir erwarten also eine Zeitkonstante von 1.66 us .
- Für eine Impulslänge von $1\mu\text{s}$, erreicht die Ausgangsspannung nur $\sim 30\%$ des Endwertes.
- Wir können die Schaltung durch einen Trick schneller machen:
- Multiplizieren wir die Symbole des Verstärkers indem wir als Instanz-Name statt I_x $I_x<0:49>$ schreiben.
- Auf diese Weise haben wir 50 Verstärkern in parallel. Der Trick besteht darin, dass wir dadurch gesamt g_{m_in} erhöhen (50 Eingangstransistoren in parallel haben 50-fache g_m), gesamt A_{ol} bleibt dabei gleich (mehrere Verstärker in parallel haben die gleiche Verstärkung als ein einzelner).
- Wir erwarten also eine Anstiegszeit von nur $1.66\mu\text{s}/50 = 34\text{ns}$, unter Annahme dass g_{m_in} 50x größer und β unverändert werden
- **Aufgabe:** Simulieren wir die Schaltung mit 50 Verstärkern in parallel, speichern wir das Screenshot

- Aufgabe11 (2):
- Bemerkung: Die Verwendung von vielen Verstärkern in parallel ist eine gute Vorgehensweise für die Optimierung von Transistorparameter. Die Spannungen an Transistorelektroden bleiben unverändert und die Bedingungen für Sättigung bleiben erfüllt
- Die Schaltung mit 50 Verstärkern ist schneller, hat aber als Nachteil einen 50-fach höheren Stromverbrauch und eine höhere Layout-Fläche
- Falls wir viele Verstärkern in parallel haben, wird die Eingangskapazität des Verstärkers C_{in_amp} groß und oft vergleichbar mit C_{in} . Die Formel für Beta muss dann wie folgend korrigiert werden:
- $\text{Beta} = C_{fb} / (C_{fb} + C_{in} + C_{in_amp})$.
- In unserem Fall (50 Verstärkern in parallel) ist $C_{in_amp} \sim 1\text{pF} \sim C_{in}$. Deshalb ist Beta nur etwa die Hälfte vom Wert mit einem Verstärker und die Zeitkonstante ist länger als die erwarteten 34ns
- In 65nm Technologie ist der Tunnelstrom durchs Gate nicht vernachlässigbar. Vergleichen wir v_{in} und v_{out} Werte im Abreitpunkt. Wir erklären Sie die Differenz?

- Aufgabe10 (3)
- Simulieren wir das Rauschen am Ausgang des Verstärkers
- **Frage:** Wie groß ist das Rauschen (RMS) am Ausgang
- **Frage:** Wie groß ist Input Referred Noise, definiert als das Rauschen vom v_{out} dividiert durch die DC-Verstärkung